

文章编号:1007-2780(2022)11-1459-08

基于 FPGA 的多分辨率 SDI 传输系统设计

邹冬月^{1,2}, 刘得军^{1*}, 刘嘉轩^{1,2}, 高 倩^{1,2}

(1. 中国石油大学(北京) 信息科学与工程学院, 北京 102249;

2. 北京富力天创科技有限公司 北京 100085)

摘要:为实现任意分辨率视频源 SDI 传输,设计了一种以可编程逻辑器件(FPGA)作为核心处理器的多分辨率自适应 SDI 传输系统。对系统所涉及的视频分辨率检测、多分辨率处理等相关方法进行了深入研究。首先,以实现 4K(3 840×2 160P@60)传输系统为前提,利用四画面四路分割(SQD-Square Division)方法搭建了 4K 视频 SDI 传输系统。接着,加入分辨率检测模块,实现了多分辨率视频自适应接收功能。然后,设计了像素点填充模块和裁剪模块,使低于 1 920×1 080P@60 分辨率的视频均能统一成 1 920×1 080P@60 分辨率在 SDI 接口传输。经实验验证,该系统可实现多种分辨率视频的自适应传输,视频源类型包括但不限于 4K(3 840×2 160P@60), 1 920×1 080P@60, 1 360×768P@60, 1 280×720P@60, 1 024×768P@60 等分辨率,使 4K SDI 传输系统具有更好的兼容性,突破了 SDI 接口仅可传输有限分辨率视频的局限。

关 键 词:多分辨率;自适应;SDI 接口;视频传输

中图分类号:TN919 **文献标识码:**A **doi:**10. 37188/CJLCD. 2022-0119

Design of multi-resolution SDI transmission system based on FPGA

ZOU Dong-yue^{1,2}, LIU De-jun^{1*}, LIU Jia-xuan^{1,2}, GAO Qian^{1,2}

(1. College of Information Science and Engineering, China University of Petroleum (Beijing),
Beijing 102249, China;

2. Beijing Fuli Tianchuang Technology Co., Ltd., Beijing 100085, China)

Abstract: In order to realize SDI transmission of any resolution video source, a multi-resolution adaptive SDI transmission system with programmable logic device (FPGA) as the core processor is designed. The video resolution detection, multi-resolution processing and other related methods involved in the system are deeply studied. Firstly, on the premise of realizing a 4K (3 840×2 160P@60) transmission system, a 4K video SDI transmission system is realized by using the SQD-square division method. Then, a resolution detection module is added to realize the multi-resolution video adaptive receiving function. Then, a pixel filling module and a cropping module are designed so that the videos with a resolution lower than 1 920×1 080P@60 can be unified into a resolution of 1 920×1 080P@60 and transmitted on the SDI interface. It has been verified by experiments that the system can realize adaptive transmission of videos of various resolutions. Video source types include but are not limited to 4K (3 840×2 160P@60), 1 920×1 080P@60, 1 360×768P@60, 1 280×720P@60, 1 024×768P@60 and other resolutions so that the 4K SDI transmission system has better compatibility, breaking through the limitation that the SDI interface

收稿日期:2022-04-12;修订日期:2022-05-09.

*通信联系人,E-mail:liudj65@163.com

can only transmit limited resolution video.

Key words: multi resolution; adaptive; SDI interface; video transmission

1 引言

随着信息技术的飞速发展,视频行业经历了由模拟到数字的演进,行业内推出了众多可满足不同应用场景的数字视频接口。串行数字接口(Serial Digital Interface, SDI)是一种由电影与电视工程师协会(SMPTE)制定的非压缩数字视频接口标准^[1]。SDI接口具有高清实时、非压缩、利用率高的特点,可充分保证图像的原始性和完整性,因而广泛应用于展厅、广播电台等专业领域。根据传输带宽的不同,SDI接口可分为SD-SDI、HD-SDI、3G-SDI和12G-SDI^[2],主要支持1 280×720、1 920×1 080、3 840×2 160、4 096×2 160四种分辨率下不同刷新率的视频传输^[3-4]。

在实际应用中,视频源种类众多。在视频电子标准协会 VESA-2008 标准中,包含了 640×350~2 560×1 600 多达几十种不同分辨率的视频格式^[5]。为实现多种分辨率视频 SDI 高清传输,人们将视频缩放算法和像素点扩充方法引入至 SDI 显示系统中。文献[6]设计的大视场相机的嵌入式成像采集显示系统,利用双线性插值缩放算法将 Camera Link 接口输入的 2 048×2 048@100 视频实时转换为 3 种低分辨率的视频图像,并采用像素点填充的方法,最终转化成 SDI 制式显示,利用该系统可实现大视场高分辨率视频低分

辨率 SDI 输出显示,但最终显示的视频未做裁剪处理,带有黑色边框,显示效果欠佳。文献[7]利用缩放算法,将 Camera Link 或千兆网口输入的图像转换为标清 SDI 输出。文献[8]进行视频无缝切换研究时,采用双线性插值方法对输入视频图像做缩放处理,将输入视频分辨率转换为预设的 1 080P 分辨率显示,实现了 480P、720P 到 1 080P 的视频实时缩放,缩放后的视频均以 1 080P 格式传输,但该方法只能处理有限分辨率的视频,灵活性较低。

以上方案多将缩放算法应用于系统中,但缩放算法较复杂,处理时占用较多内部资源,且多设备连用时,反复缩放会导致视频图像失真,无法将其应用于对画质要求较高的场景中。为了克服以上方案的缺陷,本文提出了像素点扩充与视频裁剪相结合的方案。系统发送端可将任意分辨率的视频扩充成固定的符合 SDI 标准的视频格式,接收端利用裁剪模块还原视频,实现原分辨率视频点对点输出。

2 多分辨率 SDI 传输系统设计

2.1 4K 传输系统总体构成

图 1 是多分辨率视频传输处理系统的工作流程图。图中白色方框部分为 4K 视频传输主系统,分为发送端和接收端,系统包括视频采集、缓

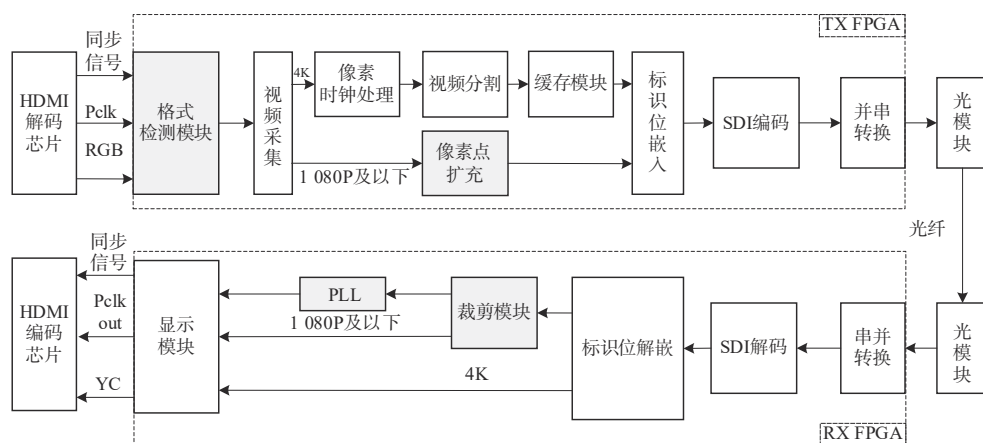


图 1 多分辨率视频传输处理系统工作流程图

Fig. 1 Working flow chart of the multi-resolution video transmission processing system

存、处理、传输和显示5部分。本设计基于赛灵思 Kintex-7 系列 XC7K70TFBG676-2 芯片开发,利用 HDMI 2.0 接口接收和显示视频信号,使用 4.25G SFP+ 光电转换模块和单模光纤实现视频数据在物理信道中的传输。

首先,系统发送端利用解码芯片实现 HDMI 信号解码,并将解码后的像素数据 RGB、像素时钟 Pclk 和行场同步信号传输至 FPGA 输入 I/O 口。数据进入 FPGA 后,视频采集模块对 4K 视频流进行色彩空间转换、YC 4:4:4 转 YC 4:2:2、像素时钟和数据位宽处理等操作。之后,经采集模块处理后的数据传输至由 DDR3 和 FIFO 组成的缓存模块中,完成 4K 四画面视频分割、时钟转换和数据缓存工作。最后,发送端将分割后的 4 路 1 080P 视频流组帧成 SDI 格式,经由赛灵思 GTX IP 核进行并串转换后,送至光纤信道中进行高速串行传输。

系统接收端进行串并转换、SDI 解码、标识位解嵌和显示处理,输出 20 位 YC 视频数据、像素时钟 Pclk_out 和同步信号至 FPGA 输出 I/O。最后,利用 HDMI 专用编码芯片实现 LVDS 至 HDMI 的信号转换。

2.2 多分辨率 SDI 传输系统工作原理

为实现系统的多分辨率传输功能,系统在 4K 传输的基础上增加了分辨率检测模块、像素点扩充模块和裁剪模块,以实现 4K、1 080P、1 280P、1 360P 等多种分辨率自适应传输,主要工作模块

如图 1 中灰色模块部分所示。系统通过分辨率检测模块确定接收的视频源信息,当检测到 4K 视频源时,视频流进入 4K 视频处理系统,进行四画面分割操作。

当检测到的视频流为 1 080P 及以下时,则输入至多分辨率处理系统,进行像素点扩充操作。该操作可将低于 1 080P 的视频流扩充成符合 SDI 标准的 1 080P 视频流。选择第一路 3G-SDI 通道传输,并关闭其他通道各模块使能信号。为实现收发端信息准确交互,系统在标识位嵌入模块将分辨率信息嵌入至视频流消隐区特定位置,接收端裁剪模块根据标识位解嵌模块提供的像素信息准确恢复视频流,并输出对应像素时钟。

3 4K 视频传输系统关键模块

3.1 4K 视频采集模块

4K 视频流经解码芯片后,输出 6 路位宽为 8 bit,以双路双边沿方式采样的 RGB 4:4:4 视频信号至 FPGA 入口。视频采集模块的工作原理图如图 2 所示,包括色彩空间转换、YC 4:4:4 转 YC 4:2:2、像素时钟和数据位宽处理等操作,最终转化为 32 bit 位宽的 YC 4:2:2 视频数据。数据以 297 MHz 的时钟频率传输,每个时钟周期下传输 2 个像素点数据。采用双像素方式传输 4K 视频数据,可降低数据传输的时钟频率,避免 FPGA 在进行高速数据传输时出现时序不收敛状况。

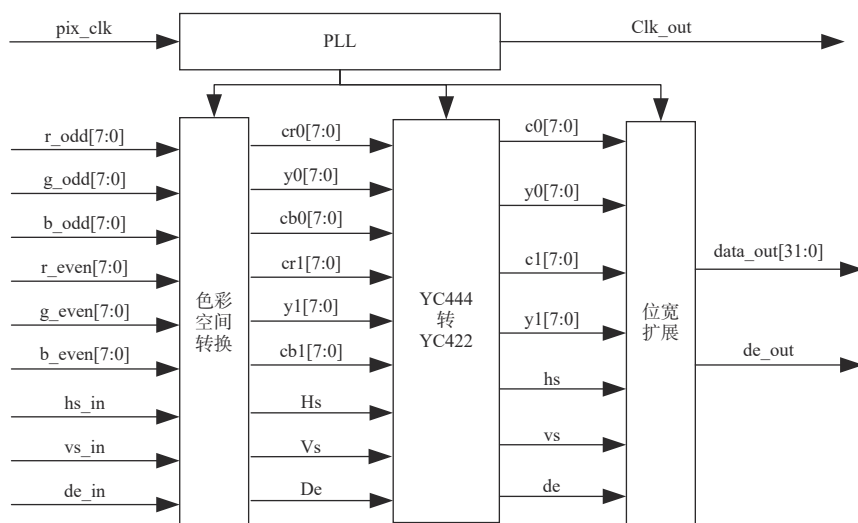


图 2 视频采集部分工作流程图

Fig. 2 Working folw chart of video capture part

3.2 4K 视频分割模块

本系统传输的是4K UHD 视频,总像素点数为 $4\,400\times2\,250$ (行 $\times$ 列),有效像素点为 $3\,840\times2\,160$,行数和行像素点数均为 $1\,920\times1\,080$ 的2倍。为满足多屏显示拼接屏使用需求,本系统采用将4K 视频分割成4路 $1\,920\times1\,080\text{P@60}$ 视频的方式传输。分割时采用SQD 四画面分割的方式^[9],将行列进行等比四画面均分。四画面分割示意图和位宽变化如图3所示。

利用FPGA 进行逻辑实现时,首先要根据原始de 使能信号生成行场计数器 h_cntr 和 v_cntr。根据计数器的计数值和图3所示规则进行4路数

据分配,并生成新的de_1~de_4 信号。视频数据只在de_1~de_4 为高时分别存入4路FIFO 中,并分别缓存至DDR3 对应地址空间。本系统利用赛灵思MIG IP 核控制外部DDR3 缓存芯片,DDR3 的读写位宽为128 bit,读写时钟为200 MHz。为保证视频流稳定传输,本设计选择3 帧循环存储的方式,在DDR3 内部设计了12 个地址空间^[10]。利用两级深度分别为2 048 和4 096 的异步FIFO 作为中间件,实现跨时钟域处理和位宽的转换功能,协助DDR3 完成4 路数据流分割。最终,输出4 路位宽为16 bit 的 $1\,920\times1\,080\text{P@60}$ 数据流。

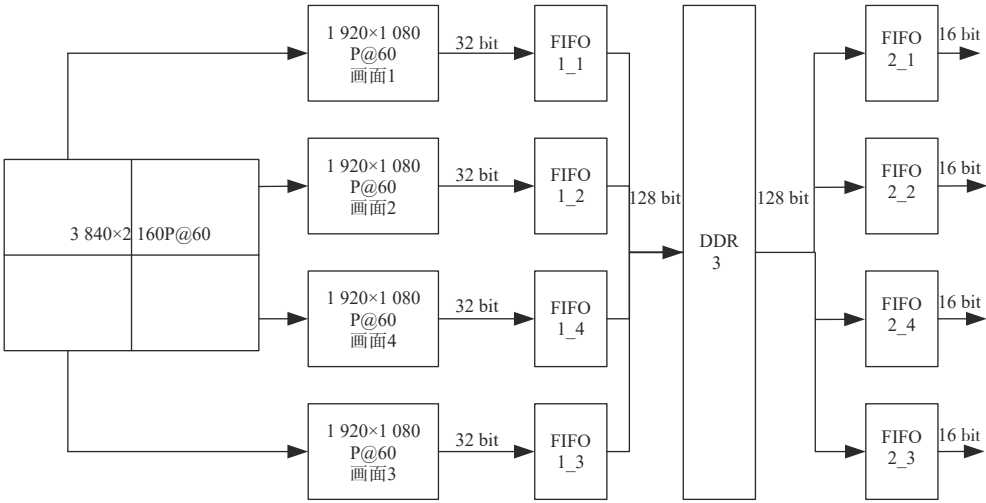


图3 4K 视频4 画面分割原理图
Fig. 3 Schematic diagram of 4K video 4 screen split

3.3 3G-SDI 编码模块

图4 所示为一行3G-SDI 视频数据帧格式,由图4 可知,标准SDI 结构中的有效视频区域以

SAV(Start of Active Video)为帧头,以EAV(End of Active Video)为帧尾。4字节的SAV和EAV由3ffh、000h、000h和状态字XYZ构成。10 bit XYZ

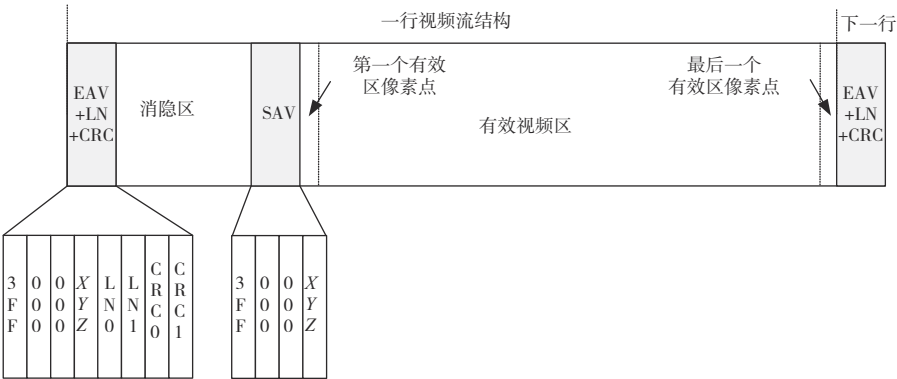


图4 一行SDI 帧格式
Fig. 4 Video SDI line structure

数据中包含 3 bit 状态信息、3 bit 固定信息、4 bit 校验信息。本设计利用自编程逻辑在视频流中插入 EAV、SAV 等时钟定位信号,利用 SMPTE SD/HD/3G-SDI 3.0 IP 核实现 NRZI 编码、CRC 校验、VPID、TRS、行号插入等复杂功能。

4 多分辨率视频传输系统关键模块

4.1 分辨率检测模块

分辨率检测模块根据输入的有效区使能信号 de 生成像素点计数器 p_cntr、行计数器 l_cntr 和消隐区计数器 vb_cntr。利用 FPGA 进行系统实现时,首先,系统在 de 上升沿时 p_cntr 开始计数,当检测到 de 下降沿时 p_cntr 停止计数,将该计数值传递至像素点数寄存器 p_num 中。同时, vb_cntr 开始计数, l_cntr 数值加一。由于最大行消隐区不超过 1 000 像素点,当 vb_cntr 计数到远大于 1 000 时(本设计选择 8 000 作为判断节点),系统已处于场消隐区,完成一帧计数工作,将 l_cntr 数值传递至行数寄存器 l_num 中。最终输出 p_num 和 l_num 至其他模块。

为使接收端能准确判断视频流分辨率信息,规定将分辨率检测模块检测出的分辨率信息嵌入至视频流消隐行第四行的第 10 个像素点位置。接收端标识位解嵌模块在对应位置提取此信息供裁剪模块调用。表 1 给出了不同分辨率对应标识信息,同时也可根据使用需要增加其他分辨率不高于 1080P 的视频源。

表 1 分辨率对应标识信息

Tab.1 Resolution corresponding to identification information

分辨率	时钟频率/ MHz	帧率/Hz	标识
3 840×2 160	594	60	无
1 920×1 080	148.5	60	8'b0000_0001
1 360×768	85.5	60	8'b0000_0010
1 280×720P	74.25	60	8'b0000_0011
1 024×768P	44.9	60	8'b0000_0100

4.2 像素点扩充模块

像素点扩充模块可将任意分辨率视频统一扩充成符合 SDI 传输标准的 1 920×1 080P@60

视频格式。模块内部由 FIFO+DDR3 结构的组合缓存器和扩充逻辑组成。利用 FIFO 解决了两种分辨率视频时钟不同步的问题,使用 DDR3 保证了视频流稳定传输。

扩充逻辑使用 1 920×1 080P@60 的 148.5 MHz 时钟使能,并在该时钟下进行行场计数,产生 0~2 199 的像素点计数器(1 080P 视频的行总像素点数)、0~1 124 的行计数器(1 080P 视频的和总行数)和 0~1 919 范围内拉高的输出使能信号 De_out。扩充逻辑根据视频源格式检测模块提供的分辨率标识信息和行场计数器,生成 FIFO 的读使能信号 Rd_de。当计数器计数在有效视频时钟周期内时, Rd_de 为 1, 模块输出有效视频数据;计数在有效视频区结束点到 2 199 期间时, Rd_de 为 0, 此时视频流暂存于 DDR3 中, 模块填充全 0 像素数据输出。图 5 是以 1 280×720P@60 分辨率视频为例的扩充逻辑内部信号时序图。

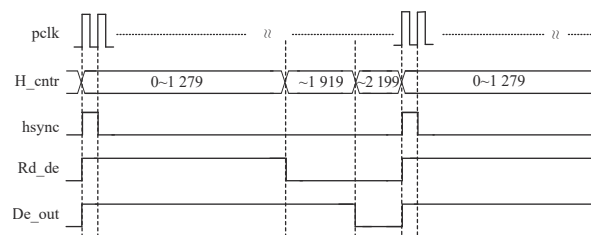


图 5 扩充逻辑信号时序图

Fig. 5 Extended logic signal sequence diagram

4.3 裁剪模块

接收端裁剪模块可将 1 920×1 080P@60 SDI 格式信号还原成原始分辨率视频,再输出至 HDMI 编码芯片。模块内部主要由 FIFO、DDR3 和裁剪逻辑组成。裁剪逻辑根据标识位解嵌模块提供的像素信息(表 1)生成行场计数器,控制生成 FIFO 的读取使能信号和像素时钟。以 1 280×720P@60 视频为例,当行计数器计数在 1~720 且像素点计数器的计数在 1~1 280 时,使 FIFO 的读使能和视频的输出生能信号拉高,输出有效视频流。在其他时钟周期内,使能信号拉低,视频流暂存于 DDR3 中。同时,接收端按照表 1 的规则,利用锁相环 PLL 输出视频源对应的像素时钟。裁剪后的视频变化示意图如图 6 所示。

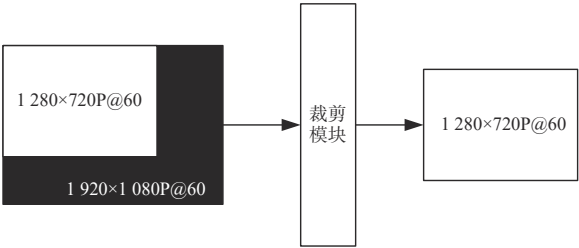


图 6 裁剪后视频变化示意图

Fig. 6 Schematic diagram of video change after clipping

5 测量实验与结果

5.1 实验环境

图 7 为系统整体测试架构图。测试系统利用电视盒子和专用分辨率转换盒配合,输入不同分辨率的测试视视频(RGB 色域,10 bit 色深)。通过可传输 4K@60 视频的 HDMI 2.0 接口和 HDMI 连接线将测试视频流传输至输入板卡中。测试所用输入输出板卡为视频开发板。输入输出板卡间利用 4.25G SFP+ 光电转换模块和光纤进行视频信息传输。系统外接信号监控电脑,利用 Vivado 的逻辑分析仪(ILA)和 JTAG 下载线,抓取输入输出各模块关键信号,辅助进行板级调试和模块测试。

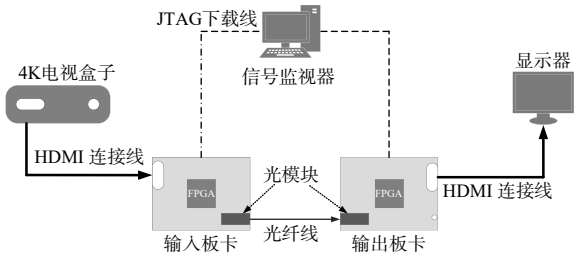


图 7 系统整体测试架构图

Fig. 7 Overall system test architecture

5.2 系统模块化测试

图 8 是四画面分割模块进入 FIFO 之前的 32 位数据时序图。从图 8 可以看出,分割后的 4 路视频流 data_0、data_1、data_2、data_3 分别对应相应的使能信号 data_valid_0、data_valid_1、data_valid_2、data_valid_3。图 8 展示了 4K 视频第 1 079 和 1 080 行的数据流,展现了 4 路分割后的视频流数据,仿真结果符合 3.2 节的设计规则,该模块可完成视频 4 路裁剪工作。

图 9 展示了用于实现多分辨率传输功能的像素

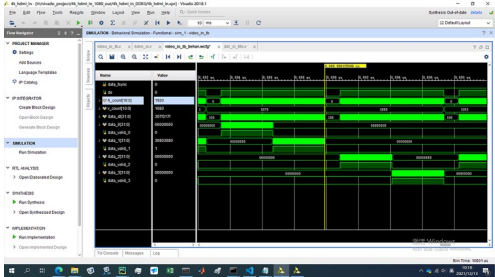


图 8 四画面分割模块时序仿真

Fig. 8 Timing simulation of four picture segmentation module

点填充模块的仿真时序图。输入分辨率为 1 280×720P@60 的测试源,图中 y/c_in 为输入视频流,de_in 为输入使能信号,y/c_out_1 080 为扩充后的视频流。由图 9 可知,0~1 279 为原像素点信息,1 280~1 919 部分进行了像素点填充(全 0),输出使能信号由原来的 0~1 279 像素区间变为 0~1 919,故该模块实现了像素点扩充功能。

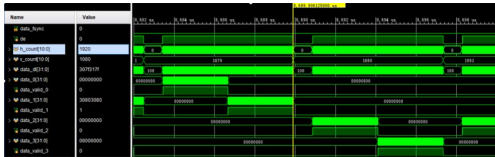


图 9 像素点填充模块时序仿真

Fig. 9 Timing simulation of pixel filling module

5.3 系统功能测试

图 10 展示了 4K 视频以 4 路 1 920×1 080P@60 视频流展现的最终显示效果,图中上下左右 4 路均为分割后未拼接的 1 920×1 080P@60 视频流,由图可知,系统实现了 4K@60 4 路分割功能。同时,接收端的 DDR3 先缓存 4 路视频,再同时取出,保证了 4 路视频同步传输,确保终端显示的 4

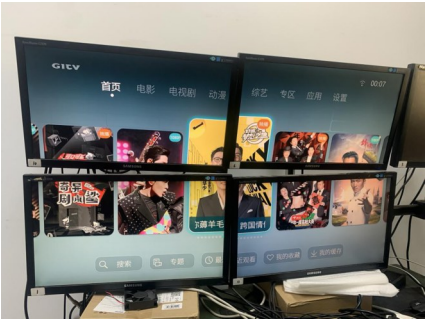


图 10 4K 分割后的 4 路 1 080P 视频显示

Fig. 10 4K segmented four channel 1 080P video display

路视频信号无卡顿和掉帧现象。

为体现系统的多分辨率传输特性,进行多分辨率系统功能测试时采用了与模块测试不同分辨率的输入源。图 11 为系统传输单路非标准分辨率视频时显示效果图。视频源分辨率为 $1\,024 \times 768$,刷新率为 60 Hz,利用系统第一路传输 4K 以下分辨率视频。图 11(a)为发送端进行像素点填充后,接收端并未进行裁剪操作的显示效果图,

图中总分辨率为 $1\,920 \times 1\,080\text{P}@60$,左上部分为 $1\,024 \times 768\text{P}@60$ 的像素点数据,右下部分为填充过的黑场信息。图 11(b)为接收端进行裁剪后最终显示效果图(利用裁剪模块将填充后的黑场裁除),图中展示的即为裁除后的原分辨率 $1\,024 \times 768\text{P}@60$ 视频显示效果。由图 11 可知,多分辨率视频传输系统可以实现低于 $1\,920 \times 1\,080\text{P}@60$ 分辨率视频的扩充和裁剪功能。

6 结 论

本文设计了基于FPGA的多分辨率自适应SDI视频传输系统。以4K视频传输为基础,增加了分辨率检测模块和像素点扩充模块,使低于1080P的多种分辨率视频均能以1080P的格式在光纤信道中传输,突破了SDI只可传输固定分辨率的局限。同时,系统采用的像素点扩充与裁剪相结合方法,避免了传输过程中对像素点的缩放处理,可充分保留原始像素信息,保证视频的清晰度。经实验验证,该系统能够自适应接收识别 $3\,840 \times 2\,160\text{P}@60$ 、 $1\,920 \times 1\,080\text{P}@60$ 、 $1\,280 \times 720\text{P}@60$ 和 $1\,024 \times 768\text{P}@60$ 等分辨率视频。相较于缩放方法,本设计在多路环入环出的应用场景下,视频失真率更低、清晰度更高。本系统具有灵活性好、成本低、适用场景多样的特点,可广泛应用于展会、会议室、多功能大厅等场所。



图 11 (a) $1\,024 \times 768\text{P}@60$ 未裁剪前显示图;(b) $1\,024 \times 768\text{P}@60$ 裁剪后显示图。

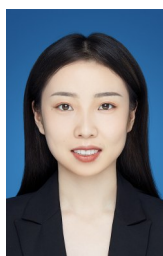
Fig. 11 (a) $1\,024 \times 768\text{P}@60$ display diagram before clipping; (b) $1\,024 \times 768\text{P}@60$ display diagram after clipping.

参 考 文 献:

- [1] 陈东成,朱明,郝志成,等. 基于FPGA的Camera Link转HD-SDI接口转换系统[J]. 液晶与显示,2014,29(6): 1065-1070.
CHEN D C, ZHU M, HAO Z C, *et al.* Camera link to HD-SDI interface converting system using FPGA [J]. *Chinese Journal of Liquid Crystals and Displays*, 2014, 29(6): 1065-1070. (in Chinese)
- [2] 梁国龙,何丁龙,张磊,等. Camera Link Full至HD-SDI接口的高清传输显示系统[J]. 液晶与显示,2016,31(4): 421-428.
LIANG G L, HE D L, ZHANG L, *et al.* HD-SDI transmission and display system from camera link full interface data [J]. *Chinese Journal of Liquid Crystals and Displays*, 2016, 31(4): 421-428. (in Chinese)
- [3] 严飞,宋振声,刘银萍,等. 4K裸眼立体显示系统设计[J]. 液晶与显示,2019,34(9):862-870.
YAN F, SONG Z S, LIU Y P, *et al.* Design of 4K bare-eye stereoscopic display system [J]. *Chinese Journal of Liquid Crystals and Displays*, 2019, 34(9): 862-870. (in Chinese)
- [4] SMPTE. 425 3 Gb/s singal/data serial interface-source image format mapping [S]. SMPTE, 2008.
- [5] VESA. Proposed VESA and industry standards and guidelines for computer display monitor timing (DMT) version 1.0, revision 12p, draft 3 [S]. VESA, 2008.
- [6] 张永康,陈萍,孟祥笙,等. 大视场视频图像采集及SDI显示设计[J]. 红外与激光工程,2021,50(S2):181-187.

- ZHANG Y K, CHEN P, MENG X S, *et al.* Design of video image acquisition and SDI display in large field of view [J]. *Infrared and Laser Engineering*, 2021, 50(S2): 181-187. (in Chinese)
- [7] 梁国龙,何昕,魏仲慧. 基于SDI接口的实时图像增强显示系统[J]. 现代电子技术, 2013, 36(10): 98-101.
- LIANG G L, HE X, WEI Z H. Real-time image enhancement display system based on SDI interface [J]. *Modern Electronics Technique*, 2013, 36(10): 98-101. (in Chinese)
- [8] 周家耀,张俊杰,李正璇. 基于FPGA的视频源无缝切换系统设计[J]. 电子测量技术, 2020, 43(15): 112-118.
- ZHOU J Y, ZHANG J J, LI Z X. Design of a seamless video switching system based on FPGA [J]. *Electronic Measurement Technology*, 2020, 43(15): 112-118. (in Chinese)
- [9] SMPTE. SMPTE ST 425-5-2015 image format and ancillary data mapping for the quad link 3 Gb/s serial interface [S]. SMPTE, 2015.
- [10] 王炜琛,涂海洋,王伟明,等. 基于Zynq的SDI视频图像分割系统[J]. 计算机工程与科学, 2021, 43(10): 1796-1802.
- WANG W C, TU H Y, WANG W M, *et al.* SDI video image segmentation system based on Zynq [J]. *Computer Engineering and Science*, 2021, 43(10): 1796-1802. (in Chinese)

作者简介:



邹冬月(1995—),女,辽宁锦州人,硕士研究生,2017年于西安石油大学获得学士学位,主要从事视频信号的处理与传输方面的研究。E-mail: zoudongyue1995@com



刘得军(1965—),男,河北迁安人,博士,教授,2001年于哈尔滨工业大学获得博士学位,主要研究方向为电磁测量理论与数值模拟技术。E-mail: liudj65@163.com